

ソリューション概要

インテル® FPGA
5G フロントホール



5G フロントホールの実現

通信業界を前進させる規格、テクノロジー、Intellectual Property (IP)ソリューションの概要

5Gテクノロジーの主要要素

Massive multiple-input multiple-output (MIMO) : アダプティブ・デジタル/アナログ・ビームフォーミング、ビーム・トラッキング、ヌル・ステアリング技術など、高度なMIMOアンテナテクノロジーにより、セル間の干渉が低減されます。空間ダイバーシティを使用することでユーザーを分離できるので、Massive MIMOによってスペクトル効率が大幅に向上します。これにより、基地局のスループット、データレート、カバレッジ、容量が増加します。

ミリ波 : 現在のモバイル・ネットワークでは、通常、700MHz ~ 2.5GHzのスペクトルを使用していますが、スマートフォンなどの接続デバイスからのデータの急増によって混雑が始まっています。一般的な5G New Radio (NR) モバイル・ネットワークでは、サブ6GHz (3.5 ~ 4.5GHz) と28/60GHzスペクトルが採用されます。28/60GHzスペクトルはミリ波 (mmWave) と呼ばれ、モバイル・ブロードバンド通信で初めて利用可能になります。これに関連する性能の飛躍的な向上により、無線においても光ファイバーと同様の速度を実現できます。

スモールセル : ミリ波は物体を伝播しにくく、そのエネルギーは建物、植物、雨に吸収されます。4Gの場合は、長距離にわたって信号を送信する大型基地局を基盤としていますが、これが5G向けに拡張されることはありません。5Gでの拡張には、数千単位の低消費電力の小型基地局が使用されます。

概要

ビジネス、コンシューマー、データドリブン型デジタル経済からの需要の増加に対応するために、無線通信網は猛烈な速さで進化してきました。5Gはそうした進化の1つであり、ネットワークの再設計とデータセンターの再検討を必要とする重要なパラダイムシフトをもたらします。ネットワーキングの規格とテクノロジーは、市場の要求を満たし、新たな機会を創出するために常に変化しています。フロントホール・ネットワークでは、最近、xRANとC-RAN Allianceが統合され、ORAN Allianceが設立されたことが、通信ソリューション・プロバイダーの前進を後押ししています。

インテルでは、オープン・スタンダードの普及促進に加え、FlexRANをはじめとするインテルのリファレンス・アーキテクチャー、インテル® FPGA、インテル® プログラマブル・アクセラレーション・カード (インテル® PAC) など、高いデータ負荷を処理し、5Gへの対応を可能にするアーキテクチャーの実現に取り組んでいます。ここでは、次世代無線通信網についての展望、技術的な課題と業界の課題、革新的なソリューションの概要を説明します。

無線通信網の劇的な変化

モバイル無線通信網は絶えず劇的に進化してきました。1990年代後半に、2G音声移動体通信からデータ通信への対応が進み、2000年代初頭には3Gでアプリ革命が起こりました。2010年に入ると4Gが登場し、データレートが高速化されました。

5Gは、ワイヤレス、コンピューティング、クラウドなど、多様なネットワーク同士を結び付ける新しいネットワークです。そしてそれは人々をつなぐように、モノとモノをつなぎます。5Gは、数十億人の人々や数千億点のモノを含め、ありとあらゆる存在を接続します。スマートシティ、スマート・ファクトリー、スマートホスピタルなどのエンタープライズだけでなくコンシューマーによってもデータは利用され、ネットワーク・スライスやネットワーク・サービスが促進されます。5Gに共通する特徴とは、分析と行動追跡、応答、解析のためにインテリジェント・ネットワークで使用されるデータの急増です。かつてない規模と範囲に対応するには、完全にゼロから再設計された新たなネットワークが必要になります。5Gネットワークは本質的にスマートで反応が早いいため、新しいデジタルサービスや体験を促進します。

著者

Richard Maiden

インテル プログラマブル・ソリューションズ事業本部、ワイヤレスシステム担当シニア・マネージャー、IEEE1914.3 Radio over Ethernetのエディター、ORAN WG7-White Box RAN ハードウェアの報告者

Christian Lanzani, PhD

インテル プログラマブル・ソリューションズ事業本部、ストラテジック・ワイヤレス・ビジネス開発担当

5Gの課題

テクノロジーの物理層の基本動作原理に関して、5Gは根本的に異なるテクノロジーです。5Gの要件と課題を確認し、さまざまなネットワーク要素に対してそれらに対処する方法を詳しく見ていきましょう。まず、物理層で動作するネットワーク・ハードウェア要素(ユーザー機器、モデム、アンテナなど)は、従来より高速で動作し、より広い帯域幅をサポートする必要があります。

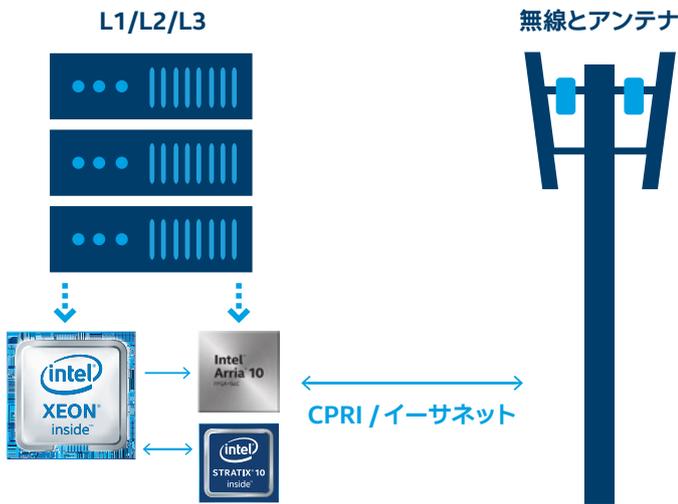


図1. フロントホール・インターフェイスを使用するベースバンド・ユニット (BBU) とリモート無線ユニット (RRU)

フロントホール・インターフェイスへの5Gの影響

5Gデータは、無線基地局と無線端末間での無線周波数伝送によってユーザーに無線配信されます。3GPP無線アクセス・ネットワーク (RAN) の定義では、無線基地局またはデジタルユニット (DU) は、バックホール・インターフェイスを介してコア・ネットワークまたはセントラルユニット (CU) に接続され、フロントホール・インターフェイスを介して無線アンテナまたは送受信ポイント (TRP) に接続されます。

例えば、3Gを利用するリモート無線ユニット (RRU) は、従来の周波数帯域(2.1GHz以下)で15MHzのスペクトルに対応する2本のアンテナをサポートしていました。5Gでは、このRRU/TRPは、ほぼ同じ設置面積で最大256本のアンテナ、6GHz以下の帯域での最大200MHzのスペクトル、または6GHz以上のミリ波空間で最大800MHzをサポートする必要があります。

フロントホールの黎明期を振り返ってみると、2003年、Common Public Radio Interface (CPRI) コンソーシアムによって、フロントホール・インターフェイスの最初の仕様が公開されました。CPRIは、システムレベルの差別化を可能にする独自の技術をすべて維持しながら、デジタル波形の伝送メカニズムを定義することを目的とした主要ワイヤレスOEMが推進するクローズドフォーラムでした。当時は、銅ケーブルを使用して、ベースバンド・ユニット (BBU) および併置された無線ユニットに614.4Mbpsで接続する方法が一般的でした。

その後、最新の4Gが導入され、その一般的なユースケースでは、BBUからアンテナと併置されたRRUまで約10Gbpsのラインレートでファイバー接続されています。この進歩は急速でしたが、基本的な概念はほぼ変わることはありませんでした。ほとんどの場合、このアプリケーションとベンダー固有のインターフェイスで変わった点はラインレートの増加だけでした。しかし、5Gでは、こうしたすべての要素が劇的に変わることになります。

ビジネスの観点から、通信事業者は柔軟性とマルチベンダー・システムの相互運用性を実現し、技術的な依存関係やインベントリへの依存関係を減らすために、アプリケーションに依存せず、ベンダー間での相互運用が可能なインターフェイスを長年求めてきました。そのため、ネットワーク機能仮想化(NFV)への道を開き、NFVと適合する、オープンで相互運用可能なイーサネット・インターフェイス/プロトコルへの動きが進んでいました。

多くの5Gユースケースと一部の新しい4Gユースケースでは、フロントホールの帯域幅を大幅に増やす必要があります。広帯域幅フロントホールのコストの増加に対処するために、アーキテクトはBBUとRRU間での新たな機能分割を提案しました。フロントホールの帯域幅を削減する1つの方法は、BBUからRRUに機能を移動することです。そして、もう1つはデータ圧縮技術によるものです。

3GPP標準化団体では、モバイル通信要素、テスト、相互運用性の大部分を定義していますが、フロントホール・インターフェイスは定義していません。これまで、このギャップはCPRIによって埋められていました。5Gベースおよびイーサネット・ベースの伝送については、いくつかのグループがこうした仕様のギャップを埋めようとして取り組んでいます。

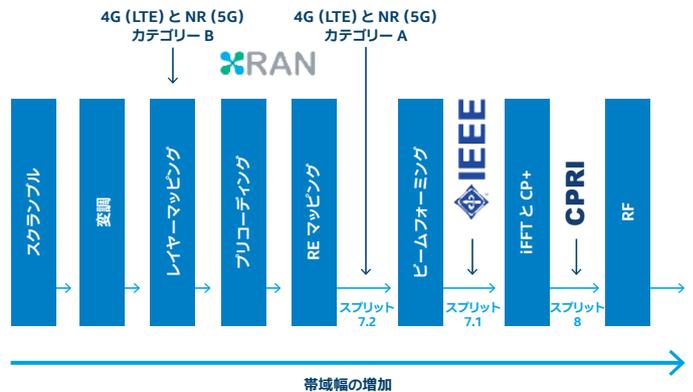


図2. レイヤー1の処理チェーンと3GPPスプリット

仕様の概要

Radio over Ethernet (RoE) のカプセル化とマッピングに関する 2015 IEEE1914.3-2018 規格は、フロントホール・トラフィックをイーサネット・フレームにカプセル化するためのプロトコルの策定に向けた第一歩となりました。下位互換性は、イーサネットと CPRI 間の変換によって実現されます。この規格では、3GPP スプリット 8 および 7.1 における、周波数領域データと時間領域データのトランスポート・プロトコルを指定しています。

CPRI コンソーシアムは、2017 年、新しい仕様である eCPRI を公開しました。これは、各ベンダーが指定する部分が多く残されているという点で、オリジナルの CPRI 仕様と似ています。eCPRI では、特定の機能分割点を定義していませんが(オリジナルの CPRI ではスプリット 8 を使用)、伝送メカニズムはアプリケーション固有ではなくイーサネット・ベースになりました。

2016 年には、インテルなどの企業が xRAN を設立しました。さらに、Mobile World Congress (MWC) Americas 2018 で xRAN は C-RAN Alliance と統合され、ORAN Alliance が設立されました。xRAN/ORAN フロントホール仕様では、イーサネットまたは IP 経由のフロントホール・インターフェイス / 管理プレーンが定義され、3GPP スプリット 7.2 における周波数領域データのトランスポート・プロトコルが指定されています。この仕様では、共通ヘッダーに eCPRI または IEEE1914.3 を使用できます。

技術革新の推進力

一般的な 4G 無線では、2 本、4 本、または 8 本のアンテナを使用します。新しいテクノロジーの Massive MIMO では、一般に 64 本、128 本、または 256 本のアンテナを使用します。従来の CPRI インターフェイスに比べた場合、フロントホールの帯域幅が 32 倍に増加することになります。フロントホールのこうした帯域幅の増加は、対応不可能なほど大幅なフロントホールのコストの増大につながります。また、複雑さの点でエンジニアリングとコストの間のトレードオフも発生します。BBU から RRU に移す機能が増えるほど、フロントホールのコストは削減されますが、今度はその分、RRU のコストと複雑さが増加します。コストを最適化するためには、ベンダーやユースケースごとに異なる機能分割が必要になります。これこそ、インテル® Xeon® スケーラブル・プロセッサ CPU とインテル® FPGA テクノロジーの最良の組み合わせを活用するには、最適なアプリケーションとなります。また、帯域幅に最適化されたリンクの実現において、インテルの圧縮 IP がその真価を発揮する状況でもあります。

CPRI のアプリケーション固有の専用インターフェイスからイーサネットに移行すると、ホワイトボックス・イーサネット・スイッチでのスイッチング機能の実行が可能になります。これはコストと競争力の面で利点をもたらしますが、技術的な課題もあります。フロントホール・インターフェイスは時間に大きく依存し、非常に確定的なレイテンシーを必要とします(CPRI では、+/- 10ns 以上の精度が求められます)。一方、イーサネットは、このレベルの時間感度や確定的レイテンシーでデータを伝送するように設計されていません。IEEE1588v2 規格や Time-Sensitive Networking (TSN) の IEEE802.1CM 規格などの時間同期メカニズムの導入により、このような要件を緩和することが可能になります。

ソリューション: FlexRAN とインテル® PAC

ほとんどのネットワーク・ノードと同様に、無線基地局は伝統的に垂直統合型のボックスでした。FlexRAN は、エッジからコアまでワイヤレス・ネットワークのあらゆる部分に設置できる、ソフトウェア・ベースの無線局を実装するためのエンドツーエンドのインテル・リファレンス・アーキテクチャーです。FlexRAN プラットフォーム・ソリューションは、4G/5G のレイヤー 3、2、1 の処理全体を実行します。インテル® Xeon® スケーラブル・プロセッサは、レイヤー 3 と 2 およびレイヤー 1 の一部を実装するために使用され、インテル® FPGA は、レイヤー 1 の残りの部分とフロントホール接続の高速化を実行するために使用されます。

さまざまな導入モデルをサポートする統一ソフトウェア・アーキテクチャー

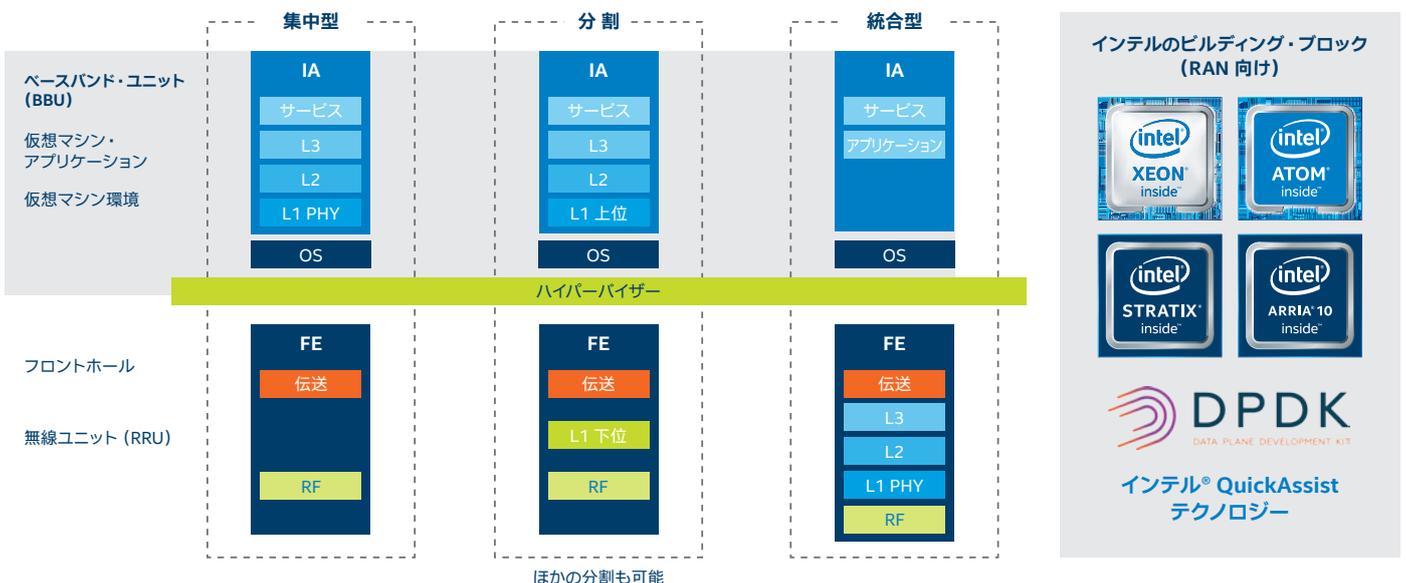


図 3. インテル® ワイヤレス・アクセス・ソリューション・アーキテクチャー

5G プロトコスタックの分割

5G プロトコスタックの分割は、より固定的だった4Gとは異なり、流動的に機能します。つまり、基地局は特定のユースケースの要件を満たすために、集中型、統合型、ハイブリッド型のアーキテクチャ分割をサポートできるようになります。分割ごとに接続とタイミングの要件を維持しながら、さまざまな分割方式をサポートするために、フロントホール・プロトコルの全面的な見直しが行われました。

さまざまな規格や独自のフロントホール・プロトコルの数を考えると、インテル® FPGA は、インターフェイス機能とビット操作機能を効率的

に処理するために必要な柔軟性を備えた最適なプラットフォームを提供します。インテルは、FlexRAN ハードウェア/ソフトウェア環境内のインテル® FPGA アクセラレーションと、4G および5G のコンピューティング要件に合わせたインテル® PAC のシームレスな統合を実現します。

インテル® FPGA およびソフトウェア IP は、従来の CPRI 規格でも、次世代フロントホール・インターフェイス (IEEE1914.3 RoE や xRAN/ORAN など) でも使用できます。

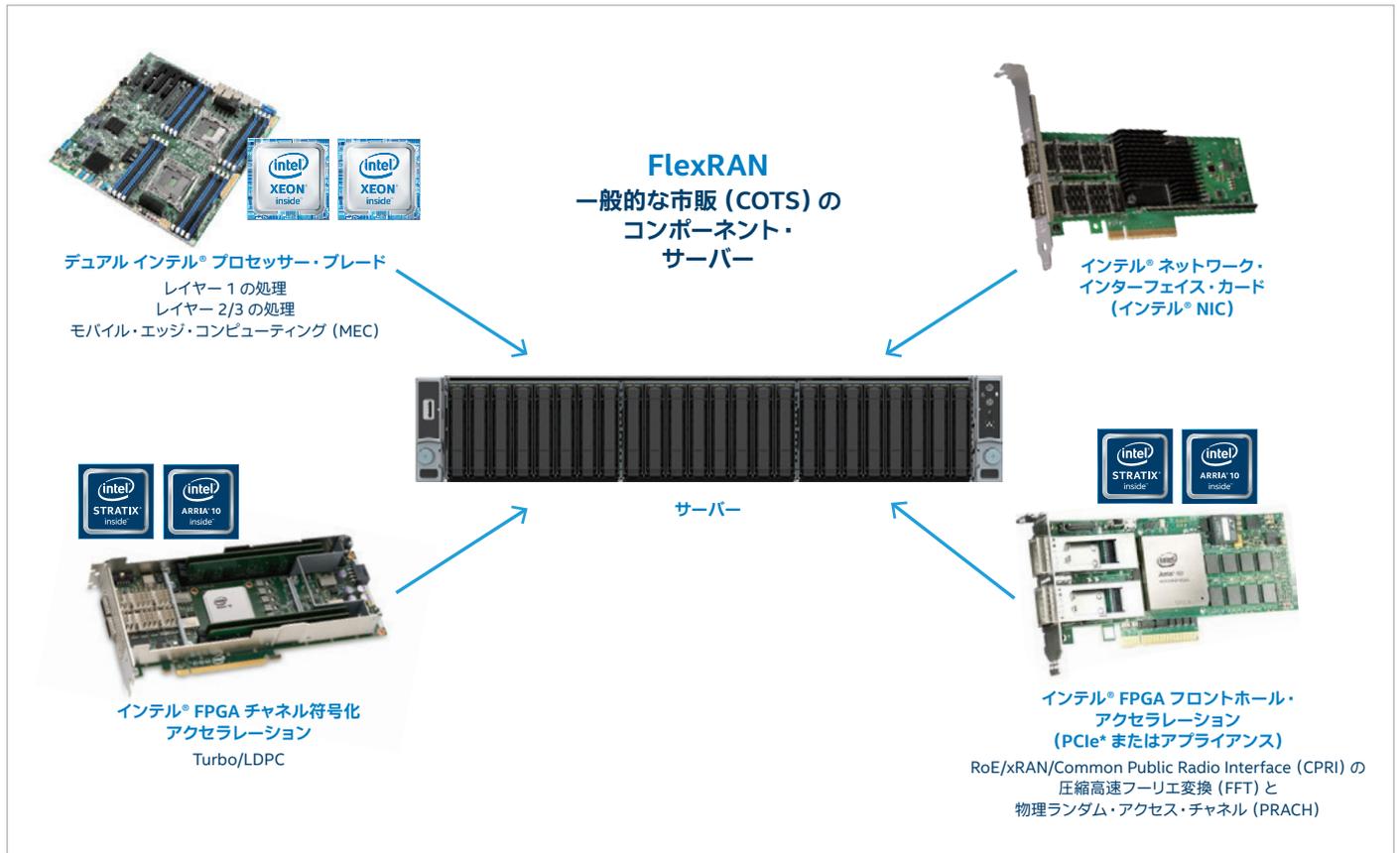
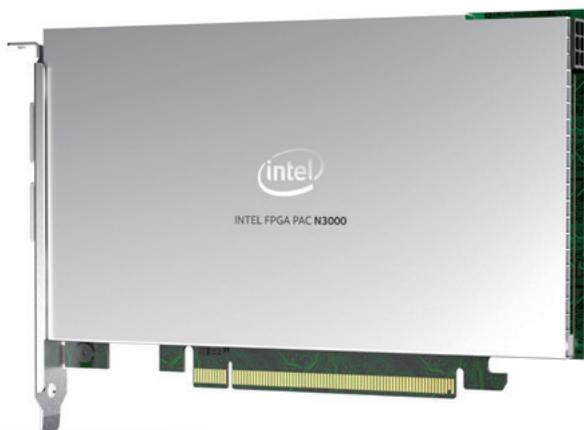


図 4. FlexRAN システム・アーキテクチャー



インテル® PAC

インテル® FPGA PAC N3000 (インテル® FPGA プログラマブル・アクセラレーション・カード N3000) は、データセンター/ワイヤレス・アプリケーション向けのソリューションを提供します。ワイヤレス・インフラストラクチャーの分野では、インテル® PAC のインテル® FPGA とインテル® NIC を使用して、フロントホール・アクセラレーションとチャンネル符号化の両方を実装します。このカードはプログラマブルであるため、カードを使用して、各種フロントホール規格 (CPRI、IEEE1914.3、eCPRI、xRAN/ORAN) だけでなく、Turbo (4G) 符号化や LDPC/Polar (5G) 符号化などの下位レイヤーのチャンネル符号化機能も実装できます。また、このインテル® PAC には、ハイブリッド自動再送要求 (HARQ) 処理を実行するための豊富なメモリーオプションも用意されています。

インテル® PAC を使用したサンプル・ユースケースと移行パス

図 5 は、サンプル・ユースケースと 4G から 5G への集中型 vRAN の移行パスを示しています。

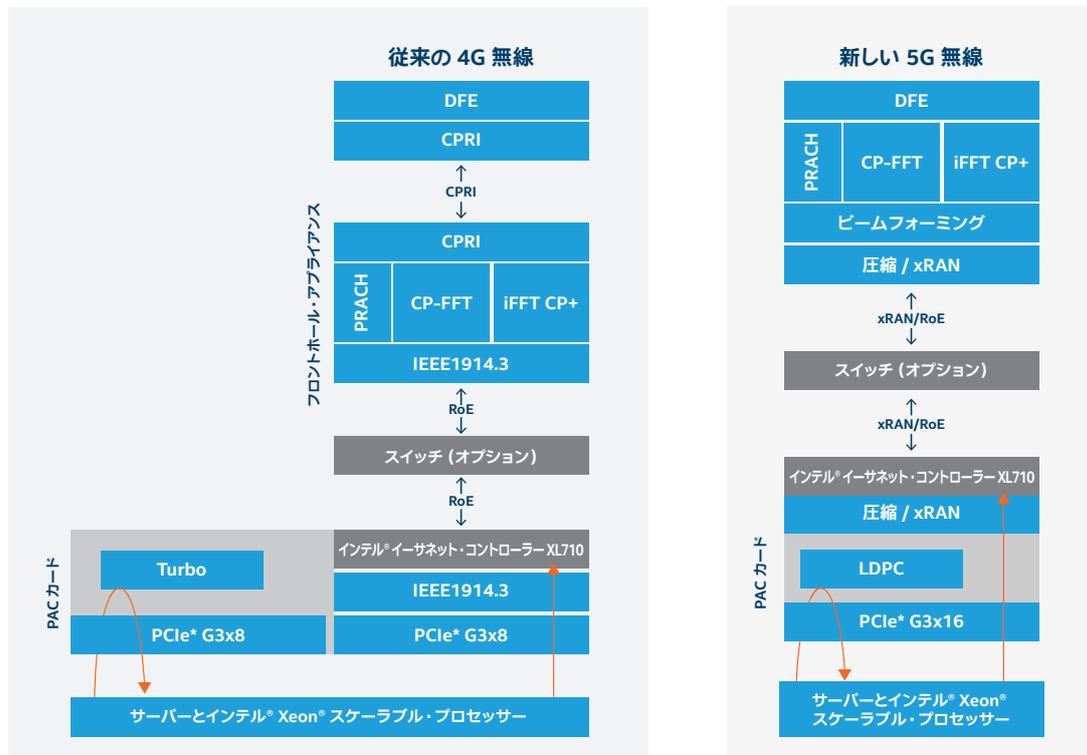


図 5. インテル® FPGA PAC N3000 を使用した 4G から 5G への移行

上掲の左側の図では、4G 集中型 vRAN PAC は、最終的に既存のレガシー CPRI ベース RRU に接続します。インテル® PAC はサーバーに接続し、Turbo 用のルックアサイド・アクセラレーション (6Gbps DL/3Gbps UL) と、IEEE1914.3 RoE などのイーサネット・ベースのフロントホール・インターフェイス用の Bump In The Wire アクセラレーション / 圧縮を提供します。次に、フロントホール・アプライアンスがスプリット 7.1 と 8 の間の処理を実行して、複数の RRU への複数の CPRI 接続を提供します。

右側の図では、同じインテル® PAC ハードウェアを使用しています。ただし、LDPC/Polar や HARQ 用のルックアサイド・アクセラレーションと、xRAN または RoE 用の Bump-In-the-Wire アクセラレーションと圧縮を実装するために再プログラミングされています。新しい 5G 無線機がスプリット 7.x と 8 の間の処理を実行し、RRU が xRAN/RoE 互換であることを前提としているため、フロントホール・アプライアンスは不要となりました。

2018 年の MWC 上海で、インテルは、インテル® NIC、インテル® Arria® 10 SoC FPGA 開発キット上のフロントホール・アプライアンス、RoE から CPRI への接続またはレガシー無線を使用して、左側の列のフロントホール・アクセラレーションのデモを行いました。

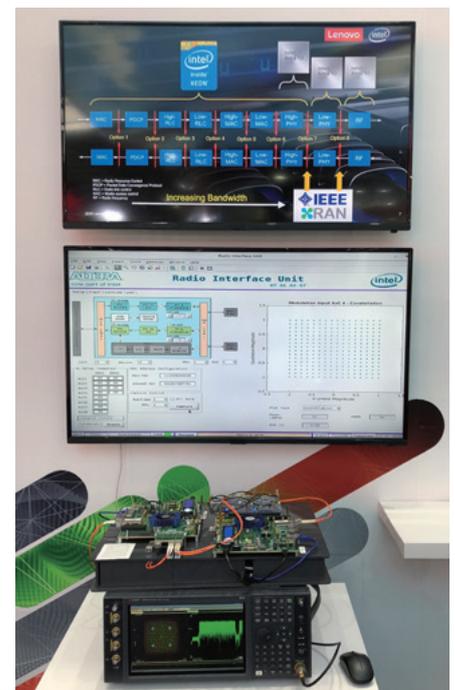


図 6. Mobile World Congress (MWC) 2018 上海でのデモ

フロントホール用 FPGA IP ポートフォリオ

インテルは、柔軟で効率的なフロントホール・インターフェイスを実装するためのさまざまなオプションを提供しています。

主な FPGA IP 製品	
Common Public Radio Interface (CPRI) IP	長年にわたり、インテルは CPRI IP をサポートしてきました。インテルは、それぞれ異なるラインレートをサポートする各種デバイスファミリーで、2015 年 10 月にリリースされたクラシック CPRI プロトコル仕様 v7.0 の最新バージョンをサポートしています。 詳細 >
eCPRI IP	インテルは、eCPRI IP v1.2 準拠の IP を開発中です。これは、eCPRI v2.0 のロードマップの公開とともに 2019 年にリリースされる予定です。新しい 2.0 仕様では、CPRI と eCPRI のインターワーキングを可能にする CPRI (7.0) over Ethernet をサポートする機能を提供することで、5G フロントホールのサポートが強化されます。
Radio over Ethernet (RoE) IP	インテルは、長年にわたって IEEE1914.3 の標準化を推進しており、IEEE1914.3 RoE の 2018 リリースの完全なリファレンス・デザイン実装を提供しています。このリファレンス・デザインは、インテル® Arria® 10 FPGA SoC 開発キット上で動作します。一方では、10GbE RoE インターフェイスが伝送する周波数領域 IQ を取得し、周波数領域と時間領域間の変換機能 (iFFT/FFT、巡回プレフィックスの追加/削除、PRACH) を実装しています。もう一方では、2x4.9252Gbps または 2x9.8304Gbps の CPRI インターフェイス接続を提供します。
圧縮/解凍 IP	インテルが提供する Mu-Law/ブロック浮動小数点圧縮/解凍 IP コアは、xRAN 仕様 v2.0 に準拠しています。
xRAN IP プラン	早期リリースは 2018 年第 4 四半期、完全準拠リリースは 2019 年第 2 四半期を予定しています。
同期および 1588 IP	イーサネット・ベースのフロントホールでは、ベンダー間の相互運用性が向上し、ホワイトボックス・イーサネット・スイッチを使用できますが、CPRI は本質的に高品質の時間/周波数精度を実現します。イーサネットで同等の精度を実現するには、GNSS 調整済みクロックまたは高品質のソフトウェア・プロトコル・ソリューションが必要です。この場合、Precision Time Protocol (PTP)、IEEE1588v3、IEEE802.1AS、ITU-T G.8273.2 の各規格を活用できます。これらの規格は、タイミング精度の問題を解決するためのフレームワークを提供します。
チャンネル符号化	レート・(デ)マッチングや(デ)インターリーピングを含め、Turbo/LDPC/Polar チャンネル符号化を利用できます。
OFDMA 生成	iFFT/FFT、巡回プレフィックスの追加/削除、PRACH 処理機能。
チャンネル推定	MMSE や MLD などのチャンネル推定 MIMO 処理アルゴリズムも利用できます。

将来に向けて

ネットワーク・トラフィックはこの 10 年余りで 250,000% も増加しました。¹ 5G は、従来のデジタル体験をさらに根本から変える可能性を秘めています。インテルは、ORAN Alliance などの標準化団体と緊密に協力して、通信業界が適応し、成長し、将来のさまざまな機会に対応できるように支援するテクノロジーを提供していきます。

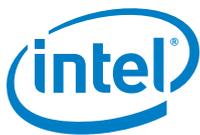
詳細情報

インテルの FPGA フロントホール製品の詳細については、インテルの販売担当者にお問い合わせください。

インテル® FPGA の詳細: <http://www.intel.co.jp/fpga/>

5G の詳細: <http://www.intel.co.jp/5G/>

関連情報: [5G ネットワーク変革に関する記事\(英語\)](#)



¹ http://about.att.com/newsroom/2017_network_predictions.html (英語)

テストは、特定システムでの特定テストにおけるコンポーネントのパフォーマンスを測定しています。ハードウェア、ソフトウェア、システム構成などの違いにより、実際の性能は掲載された性能テストや評価とは異なる場合があります。購入を検討される場合は、ほかの情報も参考にして、パフォーマンスを総合的に評価することをお勧めします。性能やベンチマーク結果について、さらに詳しい情報をお知りになりたい場合は、<http://www.intel.com/benchmarks/> (英語) を参照してください。

性能の結果は 2018 年 10 月時点のテストに基づいており、現在公開中のすべてのセキュリティ・アップデートが適用されているとは限りません。詳細については、公開されている構成情報を参照してください。絶対的なセキュリティを提供できる製品はありません。

性能に関するテストに使用されるソフトウェアとワークロードは、性能がインテル® マイクロプロセッサ用に最適化されていることがあります。SYSmark* や MobileMark* などの性能テストは、特定のコンピューター・システム、コンポーネント、ソフトウェア、操作、機能に基づいて行ったものです。結果はこれらの要因によって異なります。製品の購入を検討される場合は、他の製品と組み合わせた場合の本製品の性能など、ほかの情報や性能テストも参考にして、パフォーマンスを総合的に評価することをお勧めします。ベンチマークや性能テストの結果の詳細については、<http://www.intel.com/benchmarks/> (英語) を参照してください。

インテル® テクノロジーの機能と利点はシステム構成によって異なり、対応するハードウェアやソフトウェア、またはサービスの有効化が必要となる場合があります。実際の性能はシステム構成によって異なります。絶対的なセキュリティを提供できるコンピューター・システムはありません。詳細については、各システムメーカーまたは販売店にお問い合わせいただくか、<http://www.intel.co.jp/fpga/> を参照してください。

記載されているコスト削減シナリオは、指定の状況と構成で、特定のインテル® プロセッサ搭載製品が今後のコストに及ぼす影響と、その製品によって実現される可能性のあるコスト削減の例を示すことを目的としています。状況はさまざまであると考えられます。インテルは、いかなるコストもコスト削減も保証いたしません。

Intel、インテル、Intel ロゴ、Intel Inside ロゴ、Arria、Intel Atom、Stratix、Xeon は、アメリカ合衆国および/またはその他の国における Intel Corporation またはその子会社の商標です。

* その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。