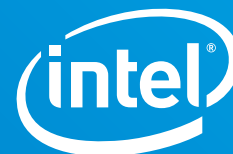


ソリューション概要

データセンターにおける FPGA ヘテロジニアス・コンピューティング
データセンター向け FPGA ベースの画像処理アクセラレーター



データセンターの画像処理性能を 飛躍的に向上させインテル® FPGA 上で動作する CTAccel Image Processor (CIP)

インテル® Xeon® プロセッサ搭載サーバー上の JPEG、WebP、Lepton のデコードおよび
エンコード、サイズ変更のすべての機能をインテル® FPGA にオフロードすることにより高速化

高速化される機能

- JPEG から Lepton への変換
- JPEG から WebP (M6) への変換

ユースケース

- サムネイルの生成
- サイズ変更 / トリミング
- 透かし
- 輝度 / コントラスト
- 鮮明化
- メインカラー
- 画像の保存

概要

画像のストリーミング、処理、保存を伴うアプリケーションでは、高まり続けるニーズに対応可能なトランスコーディングと画像処理が欠かせません。強力な高性能 FPGA ベースの CTAccel Image Processor (CIP) は、画像処理スループットの向上、演算レイテンシーの低減、総保有コスト (TCO) の削減を実現することでデータセンターにメリットをもたらします。CIP は、演算性能を向上する膨大な並列アルゴリズムを使用する FPGA アーキテクチャーにより、データセンターにおける画像処理の概念を一新します。

ビジネス課題： 最小限のコンピューティング・リソースで超高速の画像処理能力を引き出す

インターネット・トラフィックは劇的に増加し続けており (年間 24%†)、インターネット・データの大部分は画像が占めています。多くの企業が、データセンターで大量の画像を扱い、さまざまな画像処理を実行しています (表 1)。大量のサーバーを使用する代表的な処理として、画像のデコード、サイズ変更、トリミング、エンコードなどがありますが、これらの機能は多くのリソースを使用するため、コア当たりの CPU 性能では要求に対応できなくなっています。

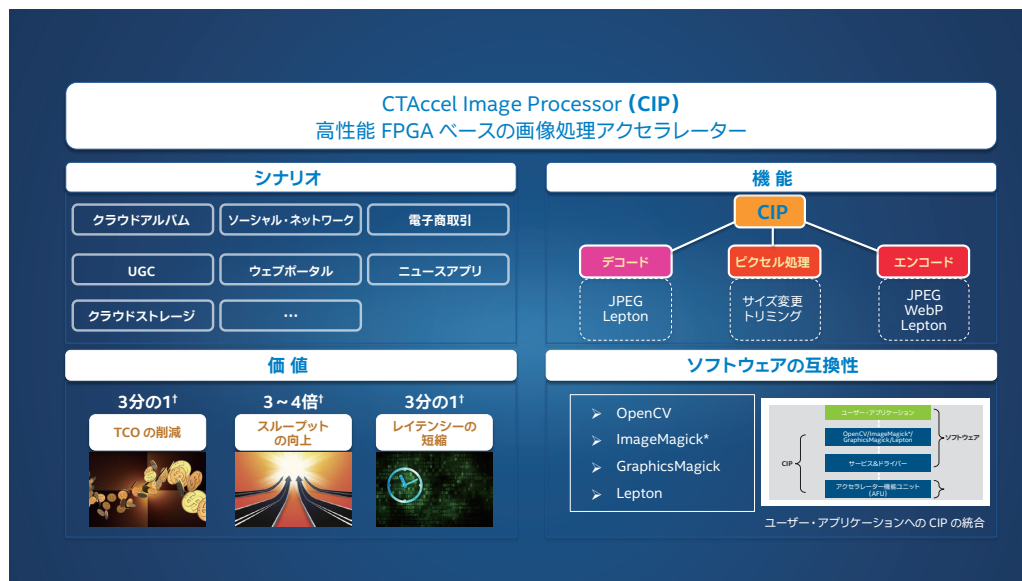
CIP アクセラレーターにより、JPEG、WebP、Lepton のデコードとエンコード、および画像のサイズ変更とトリミングされたピクセルの処理が高速化されます。また、サムネイルの生成と画像のトランスコード、鮮明化や透かしなどの一般的な画像処理機能、画像解析も、効率的に高速化されます。

このソリューション概要では、JPEG から Lepton および JPEG から WebP への CIP アクセラレーターの機能について説明します。

アプリケーション	企業の使用例
ソーシャル・ネットワーク	Facebook*, Instagram*, Twitter*
クラウドストレージ	iCloud*, Dropbox*, Microsoft* OneDrive*
モバイル・インスタント・メッセージ	WhatsApp*, Snapchat*
CDN プロバイダー	Akamai*, Verizon* Digital Media Services
電子商取引	Amazon*, eBay*, Google*

表 1. 画像処理を使用している企業の例





CIP Lepton による JPEG から Lepton への画像形式変換の高速化

Lepton は、JPEG 画像を可逆圧縮するオープンソース・ツールであり、ファイル形式です。Lepton によってファイルサイズは平均 22% 縮小されますが†、メタデータもすべて含め、元の JPEG ファイルが維持されます。

Lepton による圧縮と圧縮解除は、CPU に対して負荷の高い演算ワークロードです。インテル® Xeon® プロセッサー E5-2630 を 2 基搭載した従来の x86 サーバーで JPEG ファイルを Lepton 形式に圧縮できるスピードは、1 秒当たり 20 メガバイトにとどまります。†

CTAcel Image Processor Lepton (CIP Lepton) は、Lepton による圧縮を FPGA にオフロードすることで、スループットを 3 倍に向上させ†、レイテンシーを 3 分の 1 に短縮し†、TCO を削減する、FPGA ベースのヘテロジニアス・コンピューティング・ソリューションです。CIP は、膨大な並列データ・アルゴリズムを利用して演算性能を大幅に向上することで、最先端データセンターでの画像処理の概念を一新します。

CIP WebP による JPEG から WebP への画像形式変換の高速化

WebP は、ウェブ画像の可逆圧縮および非可逆圧縮に対応する新しい画像形式です。WebP を使用すると、ウェブ開発者は、より多くの画像を使用したウェブページでもファイルサイズを抑えて高速化できます。WebP による非可逆画像の場合、同等の品質の JPEG 画像よりもサイズが 25 ~ 34% 小さくなります。†

CTAcel Image Processor WebP (CIP WebP) は、CPU のワークロードを FPGA に移行することで画像処理 / 解析性能を大幅に向上させる、FPGA ベースの画像処理アクセラレーション・ソリューションです。CIP の優れた処理能力により、データセンターの画像処理スループットが 3 ~ 4 倍に向上し†、演算レイテンシーが 3 分の 1 に短縮され†、TCO が削減されます。



高性能

JPEG デコード、ピクセルレベルの処理、エンコードをすべて FPGA にオフロードすることでレイテンシーの低減が可能になり、サーバー・スループットが最大 4 倍に向上します。†



低消費電力

消費電力がわずか 20 ワットの FPGA† を使用する CIP により、演算密度を大幅に向上しつつ、TCO を削減できます。



ソフトウェアの互換性

CIP は一般的な画像処理ソフトウェア (ImageMagick*, OpenCV、GraphicsMagick、Lepton) との互換性があるため、システム・ソフトウェアの変更は不要です。



容易なメンテナンス

この FPGA アクセラレーターはリモートでの再コンフィギュレーションが可能で、実際の使用状況に合わせたパフォーマンスの最適化が容易です。

システム構成

CIP アクセラレーターは、インテル® プログラマブル・アクセラレーション・カード (インテル® Arria® 10 GX FPGA 搭載版) を採用しています。CTAcel 社ではこのソリューション概要に引用されている計測にあたり、図 1 に示すシステム構成を使用しました。

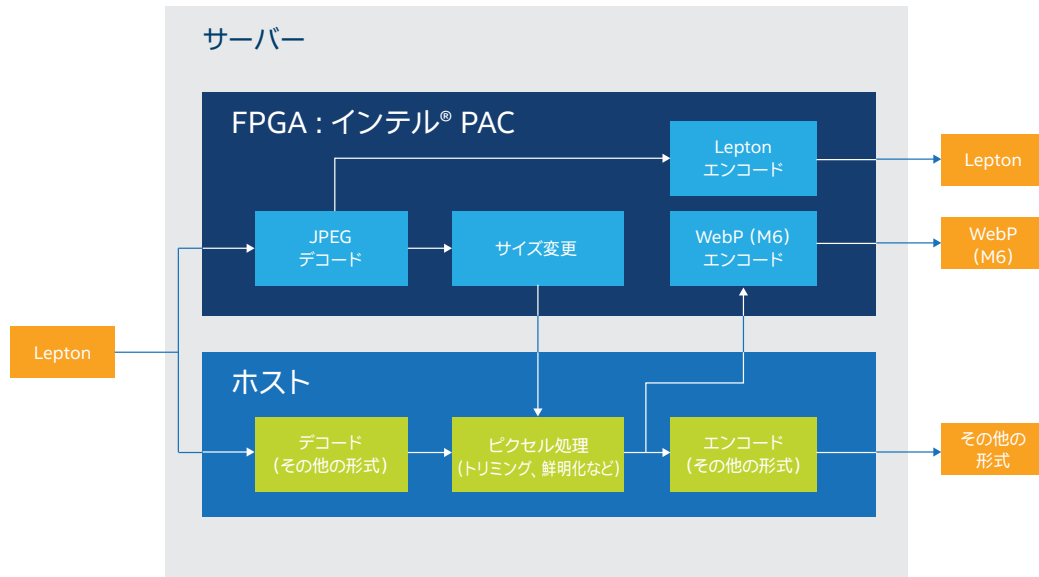


図 1. システム構成



図 2. インテル® プログラマブル・アクセラレーション・カード (インテル® Arria® GX FPGA 搭載版)

機 能	JPEG と WebP 間	JPEG と Lepton 間	JPEG 間
CPU	インテル® Xeon® プロセッサー E5-2630v2 x2	インテル® Xeon® プロセッサー E5-2630v2 x2	インテル® Xeon® プロセッサー E5-2630v2 x2
RAM	128GB	60GB	128GB
オペレーティング・システム	CentOS® v7.2.1511	CentOS® v7.2.1511	CentOS® v7.2.1511
カーネル	3.10.0-514.2.2.el7.x86_64	3.10.0-514.2.2.el7.x86_64	3.10.0-514.2.2.el7.x86_64
入力	10,000 - 1024 x 768 画像 10,000 - 4096 x 2160 画像	10,000 - 1024 x 768 画像	10,000 画像 1024 x 768 - 入力、240 x 180 - 出力

表 2. 計測に使用したシステム構成

ソリューションの価値

元々が高性能なCPUにFPGAを追加することで、さらに大きなメリットがもたらされます。グラフィックス・プロセッシング・ユニット (GPU) アーキテクチャーは、ビデオ・アプリケーションには最適な場合がありますが、画像処理用のコンピューティング・プラットフォームとしてはそれほど効果的ではありません。

CIPの優れた処理能力は、画像処理スループットの向上、演算レイテンシーの低減、TCOの削減を実現します。CIPがもたらすメリットは次のとおりです。

- TCOを3分の1に削減[†]
- 画像処理スループットが3～4倍に向上[†]
- 演算レイテンシーを3分の1に短縮[†]

図3は、CIPの全体的なソリューション・アーキテクチャーを示しています。CTAccelは、画像処理の負荷が高いタスクを多く抱え、画像のトランスコード、JPEGサムネイルの生成、鮮明化、メインカラー、透かし、輝度とコントラストの調整などの高速化を求める企業に強力な機能を提供します。

まとめ

高性能FPGAベースのCIPは、CPUからFPGAに演算ワークロードを移行することで画像処理のパフォーマンスを向上させます。これにより、画像処理スループットが向上し、演算レイテンシーが低減され、TCOが削減されます。

自分たちの組織に合った適切なソリューションを見つけましょう。詳細については、インテルの担当者にお問い合わせいただくか、<http://www.ct-accell.com/> (英語) を参照してください。



インテルはサードパーティーのデータについて管理や監査を行っていません。内容をレビューし、ほかの情報も参考にして、参照しているデータが正確かどうかを確認してください。

記載されているコスト削減シナリオは、指定の状況と構成で、特定のインテル® プロセッサ搭載製品が今後のコストに及ぼす影響と、その製品によって実現される可能性のあるコスト削減の例を示すことを目的としています。状況はさまざまであると考えられます。インテルは、いかなるコストもコスト削減も保証いたしません。

性能に関するテストに使用されるソフトウェアとワークロードは、性能がインテル® マイクロプロセッサ用に最適化されていることがあります。SYSmark® や MobileMark® などの性能テストは、特定のコンピューター・システム、コンポーネント、ソフトウェア、操作、機能に基づいて行われたものです。結果はこれらの要因によって異なります。製品の購入を検討される場合は、他の製品と組み合わせた場合の本製品の性能など、ほかの情報や性能テストも参考にして、パフォーマンスを総合的に評価することをお勧めします。詳細については、<http://www.intel.com/performance/> (英語) を参照してください。

インテル® テクノロジーの機能と利点はシステム構成によって異なり、対応するハードウェアやソフトウェア、またはサービスの有効化が必要となる場合があります。実際の性能はシステム構成によって異なります。絶対的なセキュリティを提供できるコンピューター・システムはありません。詳細については、各システムメーカーまたは販売店にお問い合わせいただくか、<http://www.intel.co.jp/> を参照してください。

[†] テストは、特定システムでの特定テストにおけるコンポーネントのパフォーマンスを測定しています。ハードウェア、ソフトウェア、システム構成などの違いにより、実際の性能は掲載された性能テストや評価とは異なる場合があります。購入を検討される場合は、ほかの情報も参考にして、パフォーマンスを総合的に評価することをお勧めします。性能やベンチマーク結果の詳細については、<http://www.intel.com/benchmarks/> (英語) を参照してください。インテルはサードパーティーのデータについて管理や監査を行っていません。内容をレビューし、ほかの情報も参考にして、参照しているデータが正確かどうかを確認してください。

Intel、インテル、Intelロゴ、Arria、Xeonは、アメリカ合衆国および/またはその他の国におけるIntel Corporationまたはその子会社の商標です。インテルの商標の全リストについては、<http://www.intel.co.jp/> の「法務情報」を参照してください。

* その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

©2019 Intel Corporation. 無断での引用、転載を禁じます。

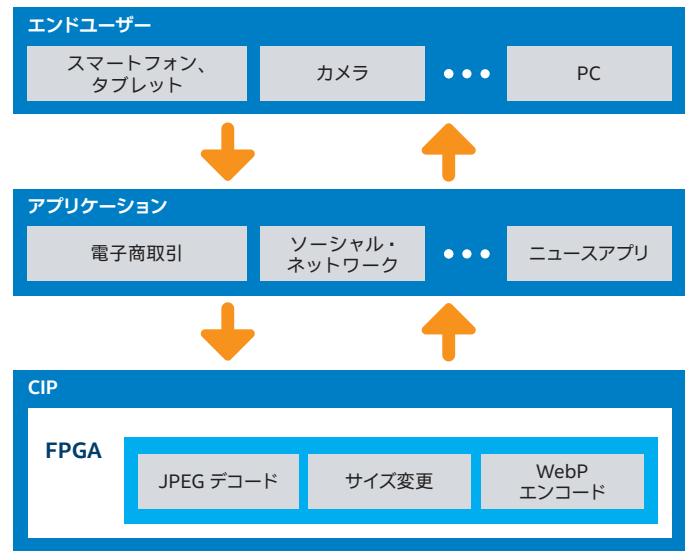


図3. ソリューション・アーキテクチャー

詳細情報

- CIPの詳細：<http://www.ct-accell.com/> (英語)
- インテル® IoT ゲートウェイ・ソリューションの詳細：<https://www.intel.co.jp/content/www/jp/ja/internet-of-things/gateway-solutions.html>