

FPGA を活用した 5G ネットワーク機能の実現

Tieto がインテル® FPGA とインテル® PAC を使用して QoS と IPsec のベンチマーク結果を公表

IPsec と QoS 対応の 40Gbps

および 5G ネットワーキング向け

インテル® FPGA 搭載

プログラマブル・アクセラレーション・

カードを使用した

パフォーマンスと柔軟性の向上

はじめに

現在、5G は通信業界における戦略的な重点分野となっています。2019 年の導入開始に伴い、以下に示すような変革の可能性が期待されています。

- 5G NR では、指向性アンテナ、高次 MIMO、ミリ波 (mmWave) 信号を使用して、より広い帯域幅とストリーミング性能を実現する新しい無線技術が導入されます。
- 新しい 5G ハードウェアでは、無線スペクトルがより効率的に使用されるだけでなく、電力効率も向上されます。
- 同じインフラストラクチャーで複数のサービスレベルを提供するなど、新しい機能によって新たなビジネスモデルを実現できます。
- リモート運転、MMC センサー、ミッション・クリティカルな通信など、大規模なアプリケーションの実現が可能になります。
- 5G プラットフォームでは、自己最適化と自動化に対応する追加のセキュリティ機能と新しい指標 / 統計も提供されます。

NFV 技術の採用は、5G の開発と密接に関連しています。5G がもたらす最新機能を実現するには、サーバー向けのインテル® Xeon® プロセッサを搭載した、より柔軟な高性能ソリューションを効率的に使用することが不可欠となります。NFV 技術とコンテナ技術は、既存の固定機能の無線サービス向けカスタム・ハードウェアに対して、クラウド型の導入とプログラマビリティ (スケーリング、アップグレード、マルチクラウドなど) を実現するためのカギとなっています。要求の厳しい次世代 5G サービスにおける柔軟性の向上は、必要性に応じてパフォーマンスを最大化できるスケーラブルなシステムを提供できるかどうかにかかっています。そのため、これらの目標を達成するには、プログラマブル・クラウド・プラットフォームの柔軟性とプログラマブル・ハードウェア・ソリューション (FPGA など) の特性とのバランスをとったソリューションが不可欠です。

このホワイトペーパーでは、インテル® テクノロジーを搭載したプログラマブル・アクセラレーション・カード (PAC) を使用して、5G の新しい要件に対応する方法について説明します。

5G ネットワークの IPsec 要件と QoS 要件にどのように対応すればよいかを探るために、2 種類のベンチマークを使用しました。今回のベンチマークは、インテル® Xeon® プロセッサ・ホスト上の各種アプリケーション用に汎用 CPU を補完する、大容量、低レイテンシーの効率的なソリューションの構築方法を示すことを目的として実施されました。

目次

はじめに	1
5G ネットワーク・トラフィックの ユースケースの要件	2
インテル® PAC ソリューション	2
ベンチマーク・プロセス	3
QoS のベンチマーク	4
IPsec オフロードのベンチマーク	7
まとめと調査結果	8

5G ネットワーク・トラフィックのユースケースの要件

5Gの利用範囲は非常に広範であるため、eMBB、mMTC、URLLCのユースケースに求められる性能も多岐にわたることが予想されます。インテルのサーバー・テクノロジーをPACと組み合わせて重要なネットワーク要素を構築することで、これらの複雑なユースケースに対応可能な柔軟性が得られます。

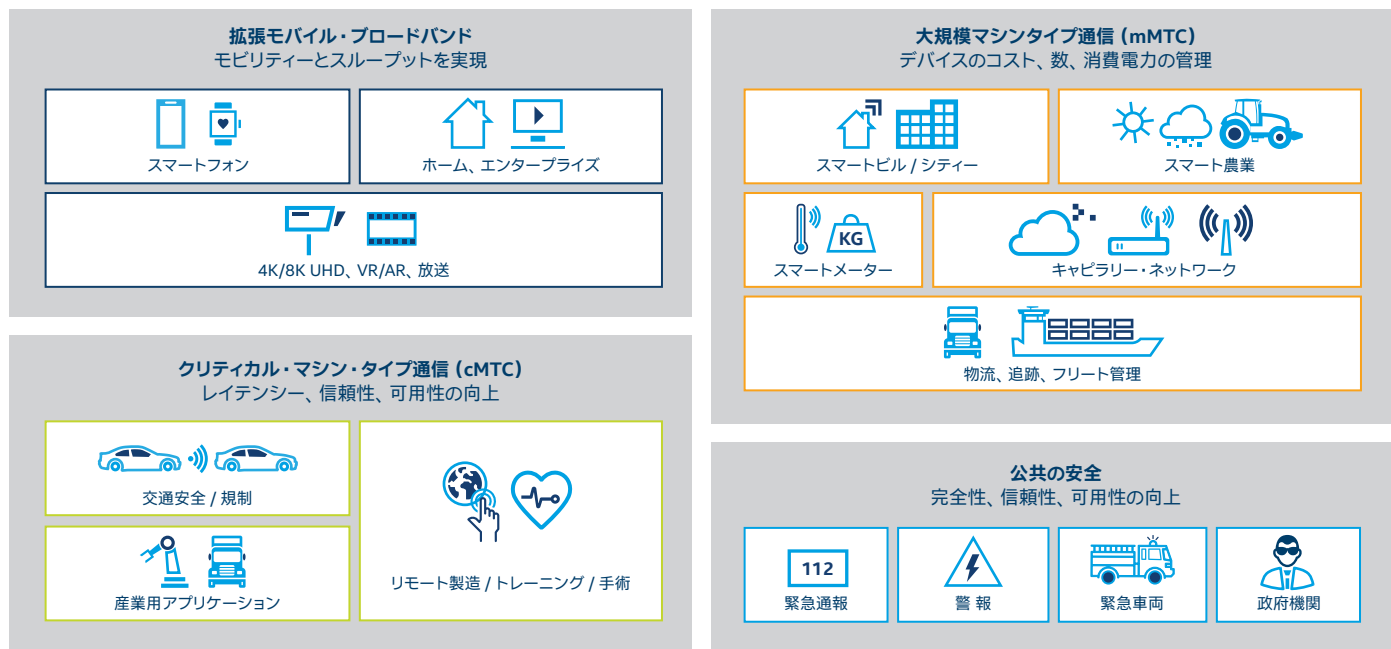


図 1. 5G ネットワーク要件

5G の eMBB と mMTC のユースケース

eMBBとmMTCのユースケースでは、新しいテクノロジーによる5Gネットワークで全体的なトラフィック（1秒当たりのパケット数、1秒当たりのビット数）の増加が想定されます。eMBBのユースケースでは、デバイス当たりの可能なピークレートが高くなります。mMTCデバイスについては、生成されるトラフィックは少量ですが、デバイスの数が膨大であるため、累積データは大量になります。

新たなテクノロジーによってセル当たりの帯域幅が拡大可能になるため、セル単位でのIPSecアクセラレーションに対するニーズが高まると考えられます。

エア・インターフェースの高い周波数帯域によって無線ネットワークがより高密度化されることで、セル数の増加につながります。

5G の URLLC のユースケース

5GのURLLCのユースケースでは、エンドツーエンドのレイテンシーを最小限に抑えることが求められます。これには、平均レイテンシーとレイテンシー分布のテール部分、その両方が含まれます。

エンドツーエンドのレイテンシーには、エア・インターフェース上でのレイテンシーとネットワークによるレイテンシーが含まれます。ネットワークによるレイテンシーには、ユーザープレーン・ノードの内部レイテンシーとノード間のレイテンシーが含まれます。ネットワークによって伝送されるトラフィックは、QoS要件が異なるフローが混在したものになります。低レイテンシー・パケットに優先順位を設定するには、サービスの差別化が必要です。

信頼性のある通信プロトコルのレイテンシー分布の裾は、パケット破棄（パケット損失率）の影響を受けやすくなります。

インテル® PAC ソリューション

5Gのユースケースでは、パフォーマンス、セキュリティ、堅牢性、信頼性、エンドユーザー体験などに関連して、新たな機能が求められています。5Gネットワークは、全セルの累積ピークレートではなく、サービス提供エリア内での全体的なトラフィック負荷に合わせて規模が決定されます。ネットワーク内のトラフィック負荷が増加することで、サーバーの利用状況をより効率的に管理するためのアクセラレーションが必要になります。インテル® PAC テクノロジーは、システムの能力を柔軟に高めることができ、40GbEといったシステム機能の強化も可能になります。

トラフィック量が正常に処理されている場合でも、適切なオフロードに備えるためのコンピューティング・ワークロード（機能）が発生します。

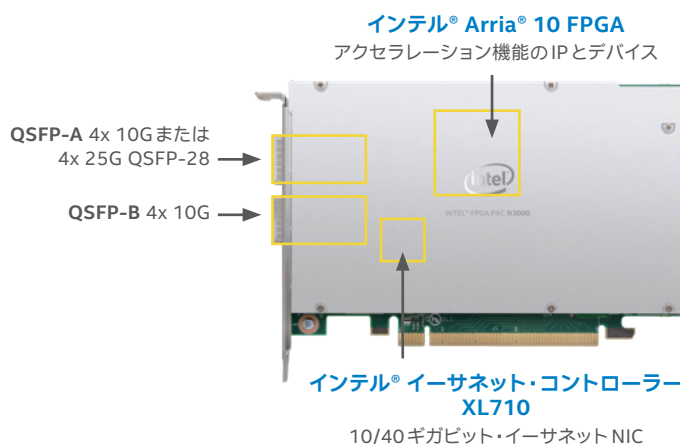


図 2. インテル® FPGA PAC N3000

システムに機能が追加されるたびに、システムは複雑化し、レイテンシーの増大につながりますが、5Gにおいては、多くの場合においてレイテンシーが重要になります。IPSecやQoSなど、収益に結び付くワークロードを高速化して、全体的なサーバー使用率を最適化することで、追加のワークロードと5G/モバイル・エッジ・コンピューティング（MEC）の要件、および高機能のサービスチェーンとマイクロサービス・アーキテクチャーをサポートするための基盤が提供されます。

レイテンシーを最小限に抑えるための有効な方法とは、トラフィックが通過する必要のある安全なサンドボックスの数を最小限に抑えることによって、エンドツーエンドのサービスチェーンにおけるIPSecのトンネル/トンネル解除の手順を最小限に抑えることです。現在、これはネットワークおよびデータセンター内では制限されています。しかし、分散型クラウド上で複数の異なるワークロードを処理するケースが増加し、ネットワークとデータセンター間、ネットワーク内、データセンター内での通信や、分散型ソリューションにおける処理エレメントに関しても通信の安全性が要求されています。

これらの複雑な環境では、インテル® PAC上でエンドツーエンドのサービスチェーンを統合することで、ユーザープレーンのレイテンシーを大幅に低減し、非確定的な動作を排除できると同時に、これらの複雑なワークロードを処理するシステム全体の能力を向上することが可能になります。固定のオフロード機能と比較して、インテル® PACは、分散配置が可能で並列実行が可能な複数のパケット処理機能をサポートすることにより、システムの全体的な柔軟性が向上するというメリットももたらします。

インテル® PACを使用するメリット

- 完全なプログラマブル・ソリューション
- 柔軟なオフロード・ソリューションでシステムを補強することで、トータルのシステム性能が向上
- 特定のワークロードのオフロードを活用して、その他のワークロード用にシステムリソースを解放
- 全体的なシステム・パフォーマンスとレイテンシーのためのより確定的なソリューションを提供

ベンチマーク・プロセス

このホワイトペーパーのテスト結果は、インテル® FPGA PAC N3000（インテル® FPGA プログラマブル・アクセラレーション・カード N3000）を使用して作成されました。

オフロードのメリットを分析するために、5Gの要件をサポートする2つの重要なトラフィック・シナリオ（高スループットのQoSトラフィックとIPSecトラフィック）のベンチマークが行われました。全体的なシステム・パフォーマンスと柔軟性を高めるために、インテル® Xeon® プロセッサと、インテルのデータプレーン開発キット（DPDK）に基づく高性能インターフェイスを採用したインテル® PACソリューションが使用されました。インテル® PACの完全カスタマイズ可能なパイプラインにより、主要なワークロードがオフロードされ、システムリソースの利用が最適化されます。

図3に示すQoSベンチマークのセットアップは、単体のインテル® Xeon® スケーラブル・プロセッサ搭載 Linux® サーバー上で、DPDKとPROX/DATSおよび40GbEネットワーク・インターフェイスを使用して、テストとテスト対象デバイス（DUT）がセットアップされる「ブラックボックス」の内部で行われました。

IPSecについては、3種類のセットアップが使用され、40GbEネットワーク・インターフェイスを使用してシングルサーバーとデュアルサーバーのセットアップでベンチマークを実行しました。テスト・フレームワークは、IPSec機能をサポートするために変更したPROX/DATSです。

インテル® サーバーボード S2600WF

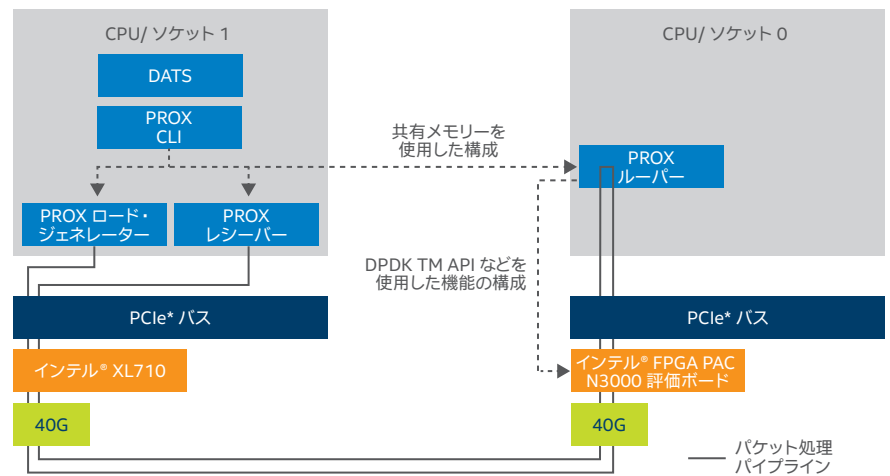


図3. QoSのベンチマーク・システムのセットアップ

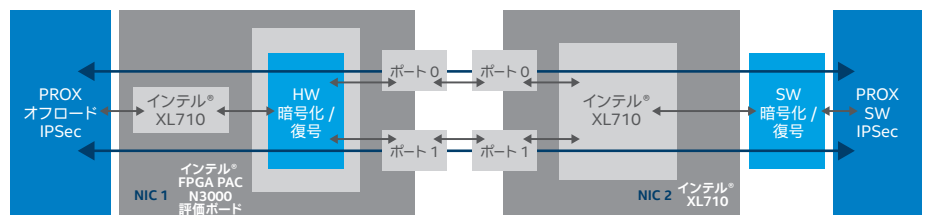


図4. IPSecのベンチマーク・システムのセットアップ

ベンチマーク・テストのセットアップ

ソフトウェア環境のベースライン

- OS バージョン : CentOS* Linux* リリース 7.4.1708 (コア)
- カーネルバージョン : 4.14.15-1.el7.elrepo.x86_64
- DPDK v17.11.0
- PROX v0.41

DPDK QoS ベンチマーク

- テスト対象システムのCPU コアが通常のDPDKを実行
- PMD フォワーディング・デバイス・アプリケーション (出力トラフィック管理 (出力 TM) オフロードの場合は、キュー・マッピングを含む)

DPDK IPSec ベンチマーク

- テスト対象システムのCPU コアがフル・ソフトウェア IPSec DPDK PMD アプリケーションを実行 (IPSec オフロードを実行しない場合)
- テスト対象システムのCPU コアがIPSec インラインのプリ / ポスト処理 DPDK PMD アプリケーションを実行 (IPSec オフロードを実行する場合)

ハードウェア BOM (部品表)

次のいずれかのFPGA RTL IPを使用するPCIe* カード、インテル® PAC :

- キュー管理、ストリクト・プライオリティー / 重み付けスケジューリング、トラフィック・シェーピングの機能を備えた階層型出力 TM IP
 - 最大 128K キュー (2GB メモリー)、64K シェーパー、ボード当たり 1x40Gbps ポート
- インライン IPSec アクセラレーション機能を備えた IPSec アクセラレーター IP
 - IPv4/ESP/ トランスポート・モード (最大 8K Rx SA、8K Tx SA、AES-GCM 128/256ビットキー、ボード当たり 2x25Gbps ポート)

IPSec と QoS のベンチマークは、インテル® Arria® 10 FPGA に機能をオフロードするインテル® PAC 上で実行しました。このベンチマークのために、40GbE のトラフィックをシステムに読み込み、40GbE のラインレートで全体的なシステム・パフォーマンスを示すために、インテル® Xeon® プロセッサ・ホスト・コア内で折り返しました。

これにより、ホストシステムに対する負荷が最小限に抑えられ、パフォーマンスの向上とレイテンシーの短縮、さらに機能と柔軟性の向上が実現されました。

QoS のベンチマーク

インテル® PAC アクセラレーテッド QoS ソリューションは現在、ブロードバンド・ネットワーク・ゲートウェイ (BNG) とエッジ・ルーティング機能に特有の厳しい要求を満たす目的で、数多く導入されています。これらの高度な機能の多くは、5G ネットワーク全体でも見られるようになります。

エンドツーエンド QoS と高品質のエンドユーザー体験は、5G ネットワークの重要な利点です。エンドツーエンドのスループットと QoS をサポートする柔軟なソリューションは、5G の厳しい要件を確実に満たすうえで役立ちます。ベンチマークされたソリューションは、複数の 5G ユースケースに対応しており、エンドツーエンドのネットワーク要件を満たしています。このソリューションは、スケーラブルなスループットを実現し、実装されているボード当たり最大 128K の個別キューのユーザー・トラフィックごとに、QoS の粒度が数個から数千個のクラスに及ぶ非常に細かい粒度を備えたシナリオに対応できます。

5G 標準 5QI では、非遅延クリティカルで許容可能なパケット・エラー・レート ($10^{-2} \sim 10^{-6}$) に対してわずか 10 ミリ秒のバックドレイテンバジェットで、保証ビットレート (GBR)、非 GBR、遅延クリティカル GBR のトラフィック・クラスが指定されています。

5G ネットワークのさまざまなエンドツーエンドの QoS 要件を調べるために、さまざまなパケットサイズとキュー数 (数百個から最大数

千個) でシステムのテストを実施しました。エンドツーエンドの QoS を考えると、確定的な動作で、ネットワークを介して幅広い要件に対応するソリューションがカギとなります。インテル® PAC 上で実行したベンチマークは、必要なパケット・エラー・レート / レイテンシー・パラメーターに対応する一方で、高いトラフィック・スループットにも柔軟に対応可能であることを示しています。

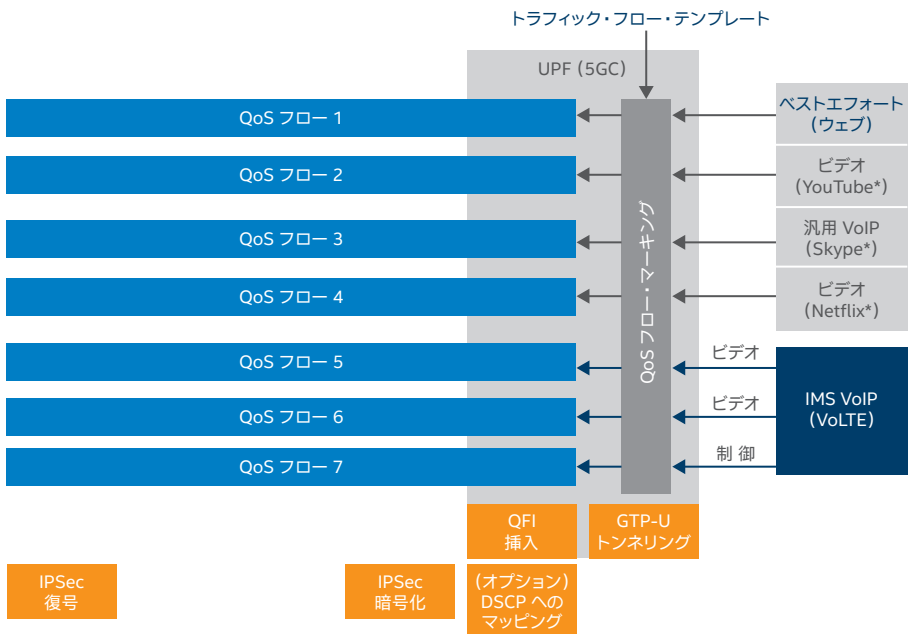


図 5. 5G サービス・データ・フローの概要 (QoS IPSec)

1024 ~ 128K (最大) のQoSキューでさまざまなトラフィックの組み合わせを使用して、25Gbpsと40Gbpsのシェーピングで動作とシステム・ディメンショニングを分析するために、QoS機能のベンチマークを実施しました。QoS機能を使用しない場合の全体的なシステム・パフォーマンスとコア使用量を分析するために、パケットサイズ・スweep・ベンチマークも実行しました。ソフトウェアのみでこれらの要件を満たすことができるソリューションは見つかりませんでした。最初の比較では、インテル® PACを使用することで、25GbpsでホストCPUの必要な処理能力が300%削減されることが分かりました(ソフトウェアのみでこれらのワークロードを実行した場合と比較)。40Gbpsについては、インテル® PAC対応システムのみをテストしました。

図6は、ほとんどのトラフィックの組み合わせにおいてインテル® PACソリューションでは、1つのコアで最大25Gbpsに対応することができ、2つのコアで40Gbpsに十分対応できることを示しています。

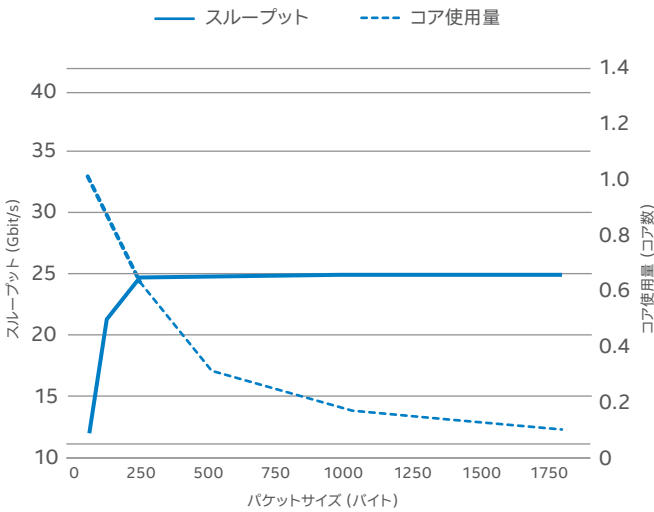


図6. 基本パケット・スweep・システム・ディメンショニング・テスト

25Gbpsと40Gbpsのシェーピングを使用した場合、システムは、25Gbpsには1つのコア、40Gbpsには2つのコアを使用して、非常に小さなパケットを除きラインレートに対応できます。このホワイトペーパーのベンチマークには、このシステム・ディメンショニングが使用されました。

図7のQoS機能の詳細な分析では、25Gbpsのシェーピングを適用したシステムで、設定された全体的なシェーピング要件と、2つのキュー間での優先順位付けがどのように処理されるのかを示しています(TC0 = 優先順位の高いトラフィック、TC1 = 優先順位の低いトラフィック)。最大許容パケット損失の 10^{-3} 未満でシステムが処理できる最大負荷を確認するために、パフォーマンスを測定しました。

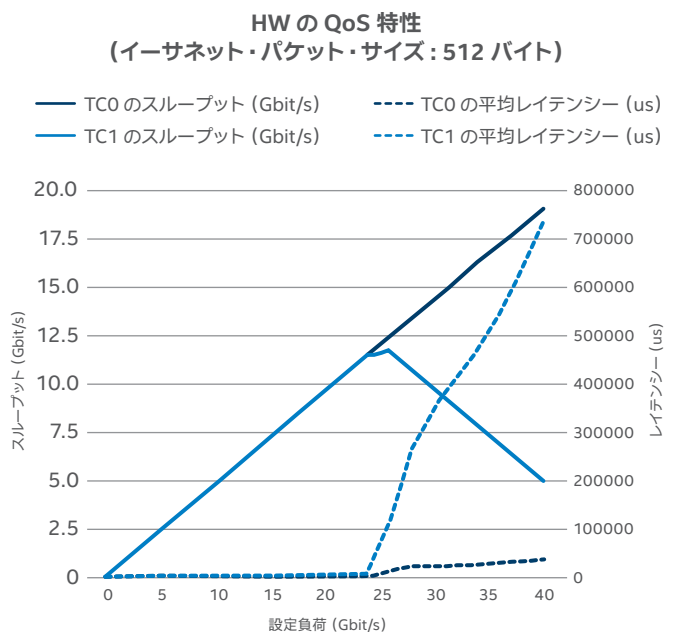
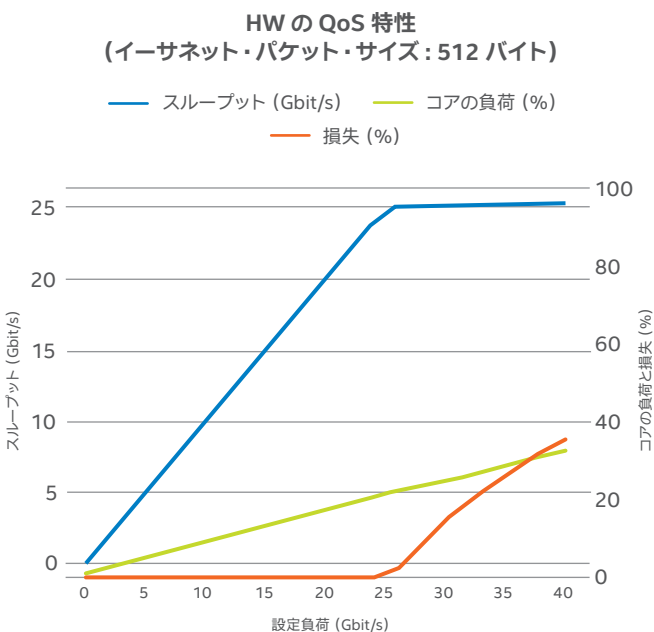
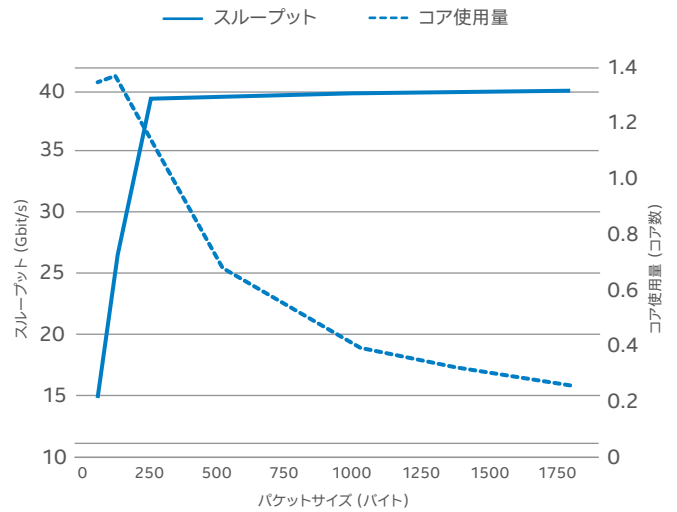


図7. QoS機能分析

システムでの最大128Kのユーザーキューへの拡張の詳細な分析は、インテル® PAC ソリューションの高メモリー・スループットのオンボードメモリーの利点を示しています。

25Gのシェーピング1コア	1Kのキュー	64Kのキュー	128Kのキュー
スループット	25.06Gbps	24.89Gbps	24.92Gbps
コアの総使用量	0,33 コア	0,33 コア	0,33 コア

40Gのシェーピング2コア	1Kのキュー	64Kのキュー	128Kのキュー
スループット	39.99Gbps	39.70Gbps	39.58Gbps
コアの総使用量	0,64 コア	0,64 コア	0,64 コア

40Gbpsのシェーピングと1Kのキューで、全体的なシステム・レイテンシーが測定されました。平均レイテンシーは往復150us(最小29us、最大1ミリ秒)でした。

QoSのベンチマークから、インテル® FPGA PAC N3000 評価ボードの出力トラフィック・マネージャーの個々の機能(キュー管理、ストリクト・プライオリティー・スケジューリング、パケット・レート・シェーピングなど)は、最大構成容量に拡張されたときも正確であり、最大40Gbpsイーサネットの負荷で精度が低下することなく動作することが分かりました。

一度、各パケットがキューIDでタグ付けされると、インテル® PACにオフロードされた場合には出力TM機能の構成と動作からCPU負荷は完全に独立したものになります。

図8では、レイテンシー、CPUコアの負荷、パケット損失の最小レイテンシーの詳細な分析を評価しました。5Gのユースケースでは、これらの要素がすべて重要になります。このシステムは、ミリ秒以下の範囲のレ

イテンシーで、ホストシステムのCPUの負荷を軽減した状態で動作します。システム全体で測定された最小レイテンシーは最大20usでした。

図9は、システムが1Kのキューから128Kのキューに拡張され、設定されたパケット損失値に達することなく、ラインレートに近いパフォーマンスを実現できることを示しています。

実行されたベンチマークから、インテル® PAC QoS ソリューションの出力TMの個々の機能(キュー管理、ストリクト・プライオリティー・スケジューリング、パケット・レート・シェーピングなど)が、最大構成容量に拡張されたときも正確であり、最大40Gbpsイーサネットの負荷で精度が低下することなく動作することが分かりました。各パケットがキューIDでタグ付けされると、CPU負荷は、インテル® PACにオフロードされたときに、出力TM機能の構成と動作から完全に独立したものになります。

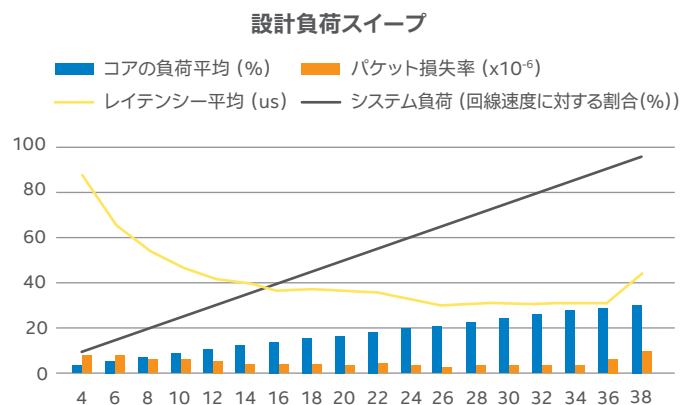


図8. 設計負荷スweepの詳細な分析(40Gbps、1Kのキュー、2コア)

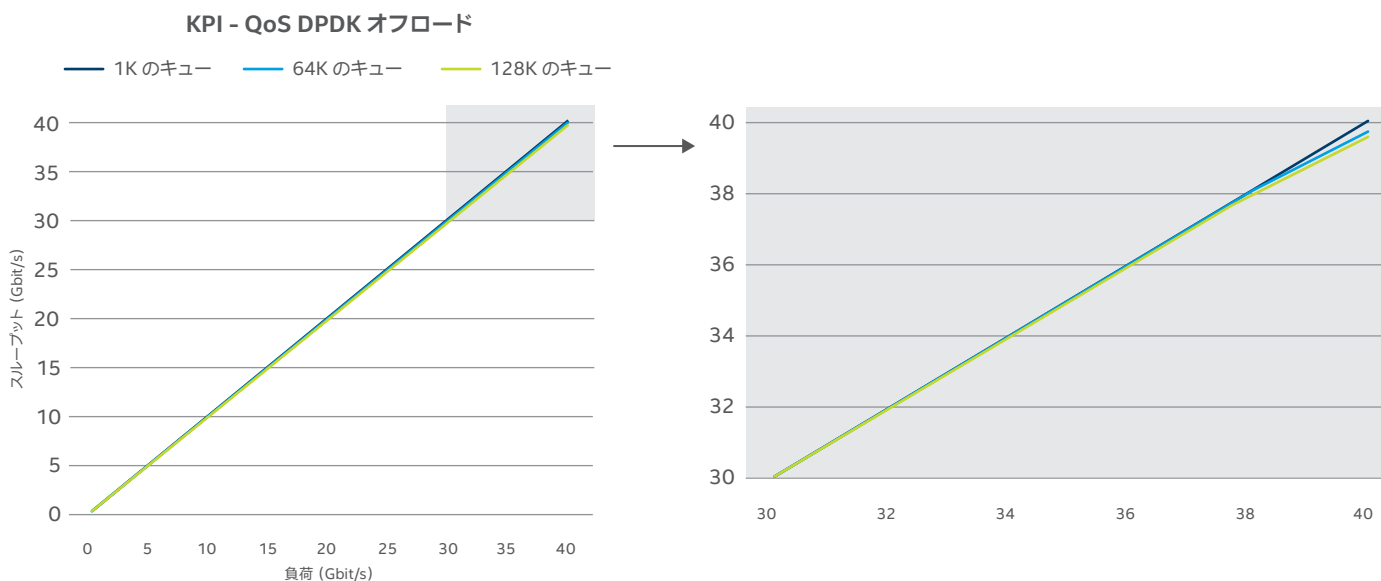


図9. キュー数の拡張

IPSecオフロードのベンチマーク

PACアクセラレーションのメリットを調べるために、演算負荷の高いワークロードとしてIPSecを選択しました。IPSecは今日のネットワークのセキュリティを実現するプロトコルの1つであり、すでに述べたように5Gネットワークのセキュリティを強化し、容量を増やすための要件でもあります。

図10は、ソフトウェアのみとインテル® PACのどちらのシナリオでも、IPSecで48Gbpsのトラフィックを実行できることを示しています。比較のために、パケット処理の基本的なシステム負荷が含まれています。これは、インテル® PACを使用することで、IPSecの処理に使用されるホストCPUの負荷に対して4.8倍の加速係数が得られることを示しています。この結果は、IPSecパケットサイズが578バイト、IPSecキーのサイズが256ビット、コア構成が6コア-6コア、48Gトラフィックを生成、CPUコアでフル・ソフトウェアIPSec DPDK PMDアプリケーション（IPSecオフロードを実行しない場合）とインラインのプリ/ポスト処理 DPDK PMD アプリケーション（IPSecオフロードを実行する場合）を実行、という構成に基づいています。

上記の結果を比較し、インテル® PACを追加した場合のメリットを図11に示します。ここでは、システムが使用するホストシステムのCPUコア数が大幅に減っています。

図12では、同じ構成を使用し、128～9,000バイトのさまざまなパケットサイズに基づいて、IPSec機能がどのようにスケールするかを詳細に比較しています。非常に大きなパケットであることを考慮しても、インテル® PACアクセラレーションでは、ホストCPUでIPSecを処理するために必要なコアがわずか0.2コアであるのに対し、IPSecの処理には3.5コアではるかに多くの処理能力を必要とします。

IPSecとソフトウェアIPSecの比較

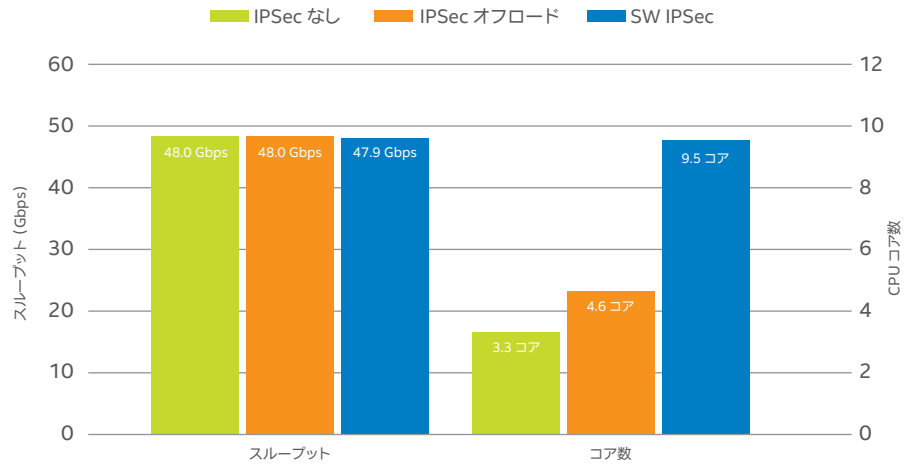


図10. 48GbpsのIPSecトラフィックの実行

アクセラレーションのメリット

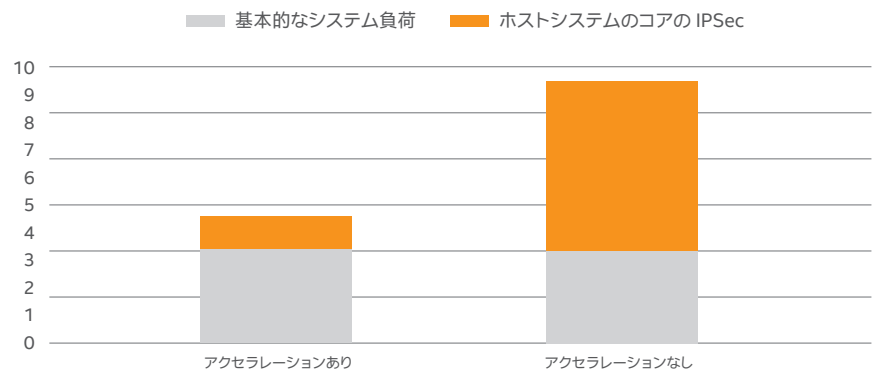


図11. アクセラレーションを使用して48GbpsでIPSecをオフロードした場合、システムの負荷が4.8倍軽減されることを示す比較グラフ

IPSecの比較パケットサイズ

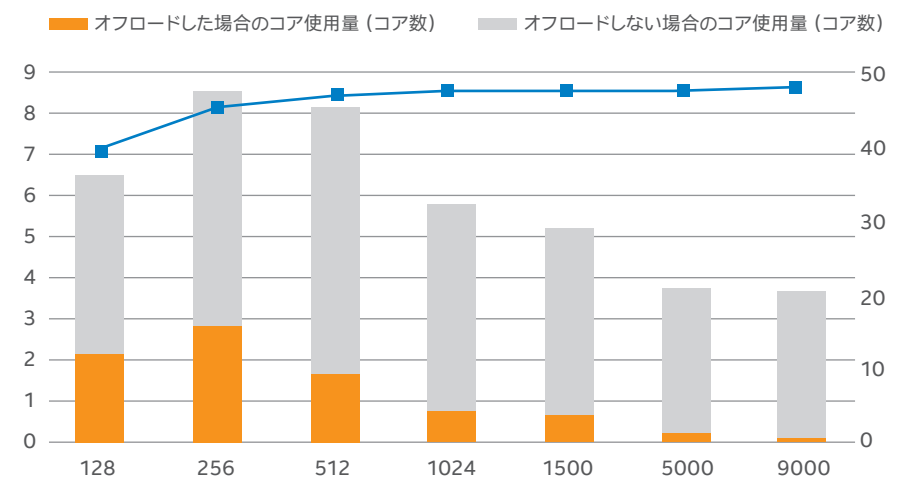


図12. さまざまなパケットサイズで、ソフトウェアでのみ実行される、あるいはIPSecとインテル® PACを使用して実行されるIPSecの詳細な分析

まとめと調査結果

今日、ソフトウェア・デファインド・ネットワーキング (SDN) とネットワーク機能仮想化 (NFV) は、プログラマビリティおよび可視性を提供することによって、数多くの新しいサービスを可能にしようとしています。その引き換えにパフォーマンスが低下する場合があります。しかし、5G では、帯域幅とレイテンシーが重要であるため、これは大きな制約になります。インテル® PAC を活用してサーバーの CPU を強化することで、これらの要件のバランスをとることが可能になります。

高度な 5G とネットワーキングのユースケースにはプログラマビリティとインサイトが必要であるため、パケット処理についてもより多くのコードや機能が追加される傾向があります。つまり、より高い計算能力が必要になりますが、インテル® FPGA ベースのアクセラレーターでパケット処理を実行するインテル® PAC によって、必要な処理能力を増強できます。その他にも次のようなメリットがあります。

- 汎用コアへの依存が減るので、エッジ・コンピューティング、分析、閉ループ最適化などの価値の高いユースケース用にそれらのコアを使用できます。
- レイテンシーと CPU 処理のニーズへの影響を抑えながら、QoS、シェーピング、高度なトラフィック最適化を管理することができ、システム全体のパフォーマンスが向上します。
- 従来、高速パケット処理のシナリオでは、パフォーマンスとセキュリティのトレードオフが必要でした。IPSec のような機能をインテル® PAC にオフロードすることにより、高スループットのシナリオの複雑なワークロードをシステム全体で処理できるようになります。
- 各処理ステップや移行 (復号、シェーピングなど) により、レイテンシーが増加し、総スループットが制限されます。インテル® PAC を使用すると、より確定的な方法でこれらの問題を軽減し、処理できます。

複数の IPSec 暗号化トンネルとハンドオーバーが大きなメリットをもたらす可能性がある場合は、Service Functions Chaining (SFC) やより高度な分析を実現するために、インテル® PAC をさらに詳しく検討することができます。このホワイトペーパーでは、ホスト終端のシナリオについて説明しましたが、CPU コアでのより価値の高い処理にトラフィック・フローの一部だけを使用する場合は、インテル® PAC にトラフィック・クラス分けを追加して、さまざまな種類のトラフィックのファストパスを生成することができます。

5G のパフォーマンスとレイテンシーを向上させて、SDN/NFV アプリケーションの柔軟性をさらに高める必要がある分散型クラウドや MEC では、インテル® PAC が支援する柔軟でスケーラブルなサーバーベースの環境を特定のワークロードに使用できるというメリットもあります。ワークロードを正確に計画して分散する能力により、将来のネットワークでインフラストラクチャーをより効率的に使用し、進化する顧客のニーズに対応するための改善を迅速化できます。

詳細情報

インテル® FPGA およびインテル® PAC の詳細については、<http://www.intel.co.jp/fpga/> を参照してください。

5G の詳細については、<http://www.intel.co.jp/5G/> を参照してください。

5G ネットワーク変革に関する記事をご覧ください。

Tieto の詳細については、<http://www.tieto.com/> (英語) を参照してください。



テストは、特定システムでの特定テストにおけるコンポーネントのパフォーマンスを測定しています。ハードウェア、ソフトウェア、システム構成などの違いにより、実際の性能は掲載された性能テストや評価とは異なる場合があります。購入を検討される場合は、ほかの情報も参考にして、パフォーマンスを総合的に評価することをお勧めします。性能やベンチマーク結果について、さらに詳しい情報をお知りになりたい場合は、<http://www.intel.com/benchmarks/> (英語) を参照してください。

性能の測定結果は 2018 年 10 月時点のテストに基づいています。また、現在公開中のすべてのセキュリティ・アップデートが適用されているとは限りません。詳細については、公開されている構成情報を参照してください。絶対的なセキュリティを提供できる製品はありません。

性能に関するテストに使用されるソフトウェアとワークロードは、性能がインテル® マイクロプロセッサ用に最適化されていることがあります。SYSmark* や MobileMark* などの性能テストは、特定のコンピューター・システム、コンポーネント、ソフトウェア、操作、機能に基づいて行っただけです。結果はこれらの要因によって異なります。製品の購入を検討される場合は、他の製品と組み合わせた場合の本製品の性能など、ほかの情報や性能テストも参考にして、パフォーマンスを総合的に評価することをお勧めします。ベンチマークと性能テストの結果の詳細については、<http://www.intel.com/benchmarks/> (英語) を参照してください。

インテル® テクノロジーの機能と利点はシステム構成によって異なり、対応するハードウェアやソフトウェア、またはサービスの有効化が必要となる場合があります。実際の性能はシステム構成によって異なります。絶対的なセキュリティを提供できるコンピューター・システムはありません。詳細については、各システムメーカーまたは販売店にお問い合わせいただくか、<http://www.intel.co.jp/fpga/> を参照してください。

記載されているコスト削減シナリオは、指定の状況と構成で、特定のインテル® プロセッサ搭載製品が今後のコストに及ぼす影響と、その製品によって実現される可能性のあるコスト削減の例を示すことを目的としています。状況はさまざまであると考えられます。インテルは、いかなるコストもコスト削減も保証いたしません。

Intel、インテル、Intel ロゴ、Arria、Xeon は、アメリカ合衆国および/またはその他の国における Intel Corporation またはその子会社の商標です。

* その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

© 2019 Intel Corporation. 無断での引用、転載を禁じます。

5G ネットワーク・トラフィックの QoS/IPSec オフロード

このホワイトペーパーでは、5G の要件の 2 つの重要な側面であるセキュリティとエンドツーエンドの QoS を取り上げました。実施されたベンチマークは、インテル® Xeon® プロセッサを使用して 5G の柔軟性とパフォーマンスのニーズに対処する NFV タイプの環境では、要求の厳しいコンピューティング・ワークロードをオフロードして、全体的なシステム・パフォーマンスとレイテンシーを向上させるインテル® PAC から大きなメリットが得られることを示しています。

QoS ベンチマークから、単一のインテル® PAC ボードを使用して、40Gbps および数千のキューでレイテンシーとパケット損失を削減することで、複雑な QoS 要件に対応できることが分かりました。システムのエンドツーエンドの QoS を 10 ミリ秒以内に抑えるという 5G の要件により、ネットワーク内のすべてのノードでレイテンシーを削減し、要素を処理することが重要になります。ソフトウェア・ベースのソリューションとインテル® PAC はどちらも 48Gbps の IPSec トラフィックを処理できますが、IPSec ベンチマークから、演算負荷の高いワークロードはインテル® PAC からメリットが得られることが分かりました。インテル® PAC を追加すると、コアの使用量が約 5 分の 1 に削減されます。